

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PAT-NO: JP02002270688A

DOCUMENT-IDENTIFIER: JP 2002270688 A

TITLE: MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

PUBN-DATE: September 20, 2002

INVENTOR-INFORMATION:

NAME **COUNTRY**

KONO, HIROYUKI N/A

ASSIGNEE-INFORMATION:

NAME **COUNTRY**

OKI ELECTRIC IND CO LTD N/A

APPL-NO: JP2001065884

APPL-DATE: March 9, 2001

INT-CL (IPC): H01L021/768 , H01L021/304

ABSTRACT:

PROBLEM TO BE SOLVED: To provide appropriate polishing characteristics without lowering productivity, in a planarization process by a CMP method.

SOLUTION: There are provided a process in which an insulation film 110 is formed over the entire surface of a semiconductor substrate 100 comprising an effective element region 102, in which an element component is formed and a peripheral region 106 in which no element component is formed, a process in which a resist mask 112 is formed on the insulation film 110 of the peripheral region 106 located within a prescribed distance from the effective element region 102 and the effective element region 102, a process of removing the insulation film 110 exposed in the peripheral region 106 by a prescribed amount through etching, a process to remove the resist mask 112, and a process of planarizing the insulating film 110 by CMP method.

COPYRIGHT: (C)2002,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-270688

(P2002-270688A)

(43)公開日 平成14年9月20日 (2002.9.20)

(51)Int.Cl.⁷

H 01 L 21/768
21/304

識別記号

6 2 1

F I

H 01 L 21/304
21/90

テ-ヤコ-ト(参考)

6 2 1 D 5 F 0 3 3
P

審査請求 未請求 請求項の数 8 OL (全 9 頁)

(21)出願番号

特願2001-65884(P2001-65884)

(22)出願日

平成13年3月9日 (2001.3.9)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 河野 浩幸

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100095957

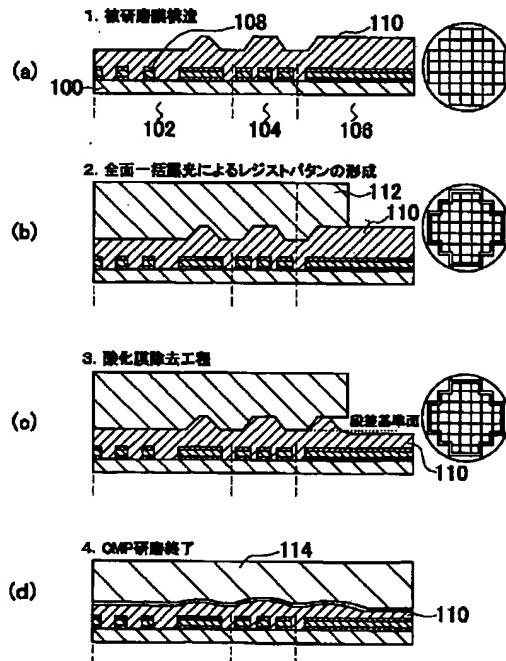
弁理士 亀谷 美明 (外3名)

Fターム(参考) 5F033 QQ09 QQ19 QQ48 QQ49 RR06
WW01 XX01

(54)【発明の名称】 半導体装置の製造方法。

(57)【要約】

【課題】 CMP法による平坦化工程において、生産性を低下させることなく好適な研磨特性を得る。
【解決手段】 素子構成部材が形成された有効素子領域102と素子構成部材が形成されない周辺領域106とを含む半導体基板100の全面に絶縁膜110を形成する工程と、有効素子領域102及び有効素子領域102から所定距離内の周辺領域106の絶縁膜110上にレジストマスク112を形成する工程と、周辺領域106で露出する絶縁膜110をエッチングにより所定量除去する工程と、レジストマスク112を除去する工程と、絶縁膜110をCMP法により平坦化する工程と、を有する。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された段差のある絶縁膜をCMP法により平坦化する工程を含む半導体装置の製造方法であって、素子構成部材が形成された有効素子領域と素子構成部材が形成されない周辺領域とを含む半導体基板の全面に絶縁膜を形成する工程と、前記有効素子領域及び前記有効素子領域から所定距離内の周辺領域の前記絶縁膜上にレジストマスクを形成する工程と、前記周辺領域で露出する絶縁膜をエッチングにより所定量除去する工程と、前記レジストマスクを除去する工程と、前記絶縁膜をCMP法により平坦化する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項2】 前記レジストマスクは、少なくとも、前記有効素子領域及び前記有効素子領域から略5μmの距離内の周辺領域に形成される、ことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記レジストマスクは、さらに、前記周辺領域の所定領域にも所定パターンで形成される、ことを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】 前記周辺領域で露出する絶縁膜をエッチングにより所定量除去する工程において、前記周辺領域で露出する絶縁膜は、前記有効素子領域に形成された絶縁膜の略平坦部と略同一高さの膜厚とされる、ことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】 前記素子構成部材は、半導体基板上に形成された配線である、ことを特徴とする請求項1、2、3あるいは4項に記載の半導体装置の製造方法。

【請求項6】 前記素子構成部材は、半導体基板上に形成された素子分離構造を有する活性領域である、ことを特徴とする請求項1、2、3あるいは4項に記載の半導体装置の製造方法。

【請求項7】 前記素子分離構造を有する半導体基板上には塗化膜が形成されており、前記周辺領域で露出する絶縁膜をエッチングにより所定量除去する工程において、前記塗化膜はエッチングのストップ膜として機能する、ことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記周辺領域で露出する絶縁膜をエッチングにより所定量除去する工程において、前記エッチングは、ウェットエッチング法により行われる、ことを特徴とする請求項1、2、3、4、5、6あるいは7項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、さらに詳細には、半導体基板上に形成された段差のある絶縁膜をCMP法により平坦化する工程を含む半導体装置の製造方法に関する。

【0002】

【従来の技術】従来における半導体装置の製造方法において、段差が形成されている酸化膜をCMP法により平坦化する場合には、下地の段差構造により研磨特性が大きく変動することが知られている。

【0003】周辺領域にダメーチップを形成しない半導体基板の構造の一例を、図5に基づいて説明する。図5に示すように、半導体素子が形成される領域（以下、有効素子領域と称する）とその周辺領域とは、100μm程度の幅のいわゆるグリッドライン（G/L）領域により区切られている。半導体基板上に形成された絶縁膜（例えば酸化膜）は、配線段差と同程度の段差が形成されている。また、周辺領域には配線パターンが形成されていないので、段差密度は略100%であり、研磨後の残膜厚が最大となる。なお、周辺領域には、半導体基板を視認するためのマーキング領域が設けられている。

【0004】例えば、IMD/PMD (IMD/PM
D: Inter Metal Dielectrics /Pre Metal Dielectrics) - CMP工程においては、図5(b)に示すように、下地の配線段差の形状と略同一段差の絶縁膜が形成される。また、STI (STI: Shallow Trench Isolation) - CMP工程では、図5(c)に示すように、トレンチ深さ（塗化膜含む）と略同一段差の絶縁膜が形成される。

【0005】このとき、IMD/PMD-CMP工程において、絶縁膜を平坦化する工程を図6に基づいて説明する。

【0006】まず、図6(a)に示すように、周辺領域506の段差構造は配線パターン密度が略100%であり、絶縁膜である酸化膜510が最も堆積している領域である。次いで、図6(b)に示すように、スラリ512を滴下し、弾性体である研磨パッド514を押しつけ、酸化膜510を回転研磨する。このとき、下地段差により研磨パッド514は変形し、局的に押圧力が偏在する。

【0007】その後、図6(c)に示すように、下地の配線パターン密度が高いほど研磨圧力が低下するので、研磨速度が遅くなる。即ち、配線が全く形成されない（配線パターン密度略100%）周辺領域506の研磨速度は、配線が形成されている（配線パターン密度が小さい）有効素子領域の研磨速度よりも遅くなり、研磨量の差が顕著になる。次いで、図6(d)に示すように、有効素子領域内の配線段差がなくなても、研磨当初に発生した残膜厚のばらつきがそのまま残存している。また、周辺領域506の構造が有効素子領域502の構造に影響を及ぼすので、G/L部504の残膜厚が厚く仕上がる。

【0008】上記CMP工程では、正常な有効デバイスの残膜厚を研磨量の基準として設定されるので、残膜厚の異常が発生すると、例えばパターンのデフォーカスあ

るいはエッチング時のエッチングストップによる開口不良により素子不良の原因ともなる。

【0009】また、有効素子領域内の残膜の一部が厚く形成されると、微細加工工程に悪影響を与え、歩留まりが低下する原因ともなる。また、有効素子領域全体の残膜厚が厚くなる場合とは異なり、有効素子領域内において残膜厚のばらつきが発生した場合には、過剰研磨を実施することにより有効素子領域中央部で配線が露出する危険性がある。

【0010】このような不具合を解消する方法として、有効素子領域の周辺領域にダミー素子と称される擬似デバイスを配置し、外周部の研磨特性を安定させる方法が既知である。

【0011】周辺領域にダミー素子を形成した半導体基板の構造の一例を、図7に基づいて説明する。図7に示すように、デバイス素子が形成される領域（以下、有効素子領域と称する）とその周辺領域とは、 $100\mu\text{m}$ 程度の幅のいわゆるグリッドライン（G/L）領域により区切られている。また、有効素子領域の周辺領域には、所定パターンでダミー素子が配置されている。半導体基板上に形成された絶縁膜（酸化膜）は、配線段差と同程度の段差が形成されている。また、周辺領域には配線パターンが形成されているので、有効素子領域と同様の配線パターン密度である。なお、周辺領域には、半導体基板を視認するためのマーキング領域が設けられている。なお、このマーキング領域には、視認性の問題からダミー素子は配置されない。

【0012】例えば、IMD/PMD-CMP工程においては、図7（b）に示すように、下地の配線段差の形状と略同一段差の絶縁膜が形成される。また、STI-CMP工程では、図7（c）に示すように、トレンチ深さ（窒化膜含む）と略同一段差の絶縁膜が形成される。

【0013】このとき、IMD/PMD-CMP工程において、絶縁膜を平坦化する工程を図8に基づいて説明する。

【0014】まず、図8（a）に示すように、周辺領域606の段差構造は、周辺領域606に配置したダミー素子608の形状に形成され、実際の配線パターン密度も有効素子と同程度に低減されている。次いで、図8（b）に示すように、スラリ612を滴下し、弾性体である研磨パッド614を押しつけ、酸化膜610を回転研磨する。このとき、研磨パッド614の押付け圧力は、有効素子領域602と周辺領域606とでほぼ同様となる。

【0015】その後、図8（c）に示すように、ダミー素子608が配置された周辺領域606と有効素子領域内の配線パターン密度が略同一であるので、両領域での研磨速度も略同一となる。さらに、図8（d）に示すように、CMP研磨が終了した時点では、周辺領域606の影響が最小限に押さえられているので、有効素子領域

602に局所的な膜厚異常が発生することはない。

【0016】かかるダミー素子は、有効素子領域と同一層の周辺領域に形成するので、周辺領域の配線パターン密度を有効素子領域の配線パターン密度と略同一に形成することができる。この結果、研磨速度のばらつきが小さくなり、有効素子領域と周辺領域には、残膜厚が略同一の絶縁膜が形成される。また、CMP研磨の終了時点では、周辺領域の影響が抑制されるので、有効素子領域内で局所的な残膜厚の異常が発生することはない。

10 【0017】【0017】このように、周辺領域にダミー素子を配置することにより有効素子領域の研磨特性を安定化させることができるために、一般的な半導体装置の製造方法として実際に行われている。

【0018】

【発明が解決しようとする課題】しかしながら、上記従来の方法では、例えば代表的なCMP採用工程である素子分離（STI：Shallow Trench Isolation）CMP工程、及び絶縁膜上に形成された配線段差の平坦化（IMD/PMD：Inter Metal Dielectrics/Pre Metal Dielectrics）CMP工程において、以下のようないわゆる問題がある。

20 【0019】（第1の問題）周辺領域にダミー素子を形成するために、有効素子領域以外にもバーニングを行う必要があるので、露光工程での生産性（ここでは、処理能力のみではなく、生産コスト、工数全てを含めたCOO（Cost Of Ownership）を生産性と称する）が著しく低下する。また、かかるバーニングは、全てのCMP工程で行わなければならないが、生産性に寄与するものではないため、量産性が悪化するという問題がある。

30 【0020】（第2の問題）また、ロット履歴（ID）をレーザ印字するマーキング領域が周辺領域に存在するが、マーキング文字の視認性悪化を防止するため、このマーキング領域にはダミー素子が配置されない。このように、配線パターンが形成されない領域が有効素子領域に隣接して存在するので、一部領域で局所的に研磨特性が悪化するという問題がある。

40 【0021】したがって、本発明の目的は、CMP法による平坦化工程において、生産性を低下させることなく好適な研磨特性を得ることが可能な新規かつ改良された半導体装置の製造方法を提供することにある。

【0022】

【課題を解決するための手段】上記課題を解決するため、請求項1に記載の発明では、半導体基板上に形成された段差のある絶縁膜をCMP法により平坦化する工程を含む半導体装置の製造方法であって、素子構成部材が形成された有効素子領域と素子構成部材が形成されない周辺領域とを含む半導体基板の全面に絶縁膜を形成する工程と、前記有効素子領域及び前記有効素子領域から所

定距離内の周辺領域の前記絶縁膜上にレジストマスクを形成する工程と、前記周辺領域で露出する絶縁膜をエッチングにより所定量除去する工程と、前記レジストマスクを除去する工程と、前記絶縁膜をCMP法により平坦化する工程と、を有することを特徴とする半導体装置の製造方法が提供される。

【0023】本項記載の発明では、CMP工程での研磨パッドの圧力の偏在が小さくなるので、研磨速度の差が緩和され、有効素子領域での酸化膜の残膜厚への影響が回避される。また、従来のダミー素子のように実際に配線パターンを加工しなくてもよいので、生産性が向上する。さらに、研磨工程前後及び次工程以降においてマーキング領域の視認性の劣化が防止される。

【0024】また、請求項2に記載の発明のように、前記レジストマスクは、少なくとも、前記有効素子領域及び前記有効素子領域から略5μmの距離内の周辺領域に形成される、如く構成するのが好ましい。次工程である酸化膜除去工程（例えばウェットエッチング工程）で、レジスト横方向への薬液の染み込みを考慮した設計とすることができる。

【0025】また、請求項3に記載の発明のように、前記レジストマスクは、さらに、前記周辺領域の所定領域にも所定パターンで形成される、如く構成すれば、周辺領域の酸化膜の段差密度が有効素子領域内の段差密度と同程度となるため、研磨パッドの押圧力も均一化される。この結果、研磨速度差が発生しにくくなり、残膜厚さのばらつきが改善される。また、従来のダミー素子のように実際に配線パターンを加工しなくてもよいので、研磨工程前後及び次工程以降においてマーキング領域の視認性の劣化が防止される。

【0026】また、請求項4に記載の発明のように、前記周辺領域で露出する絶縁膜をエッチングにより所定量除去する工程において、前記周辺領域で露出する絶縁膜は、前記有効素子領域に形成された絶縁膜の略平坦部と略同一高さの膜厚とされる、如く構成すれば、さらに、周辺領域の酸化膜の段差密度が有効素子領域内の段差密度と同程度となるため、研磨パッドの押圧力も均一化される。この結果、さらに、研磨速度差が発生しにくくなり、残膜厚さのばらつきが改善される。

【0027】また、請求項5に記載の発明のように、前記素子構成部材は、半導体基板上に形成された配線である、如く構成すれば、配線上に形成される層間絶縁膜の段差をCMP法により研磨する際に、研磨特性が向上される。

【0028】また、請求項6に記載の発明のように、前記素子構成部材は、半導体基板上に形成された素子分離構造を有する活性領域である、如く構成すれば、素子分離工程における酸化膜のCMP平坦化工程での研磨特性が向上される。

【0029】また、請求項7に記載の発明のように、前

記素子分離構造を有する半導体基板上には塗化膜が形成されており、前記周辺領域で露出する絶縁膜をエッチングにより所定量除去する工程において、前記塗化膜はエッチングのストップ膜として機能する、如く構成すれば、絶縁膜を除去する工程において、形成される段差を厳密に時間制御する必要がない。

【0030】また、請求項8に記載の発明のように、前記周辺領域で露出する絶縁膜をエッチングにより所定量除去する工程において、前記エッチングは、ウェットエッチング法により行われる、如く構成すれば、安価な方法で酸化膜を除去することができる。

【0031】

【発明の実施の形態】以下、本発明の好適な実施の形態について、添付図面を参照しながら詳細に説明する。尚、以下の説明及び添付図面において、同一の機能及び構成を有する構成要素については、同一符号を付すことにより、重複説明を省略する。

【0032】（第1の実施の形態）まず、図1を参照しながら、第1の実施の形態にかかる半導体装置の製造方法について説明する。なお、図1は、第1の実施の形態にかかる半導体装置の製造方法を説明するための断面工程図である。なお、本実施形態においては、IMD/PMD-CMP工程を示している。

【0033】まず、図1(a)に示すように、有効素子領域102内に配線108が形成されている半導体基板100上に例えば酸化膜からなる絶縁膜110を成膜する。このとき、周辺領域106にはダミー素子が配置されていない。この周辺領域106には、酸化膜110の最大段差が広範囲に渡って形成されている。

【0034】本実施形態かかる半導体装置の基本的な配線段差構造は、従来と同様である。また、周辺領域106にダミー素子を配置しないので、周辺領域106の配線パターン密度は略100%であり、配線高さと同程度の酸化膜110の段差が発生している。

【0035】次いで、図1(b)に示すように、一括露光により、有効素子領域内102及びG/L領域104をマスキングするためのレジストパターン112を酸化膜110上に堆積する。このとき、例えば5μmの周辺領域106にもレジストパターン112を形成するのが好ましい。これは、酸化膜の除去量としては配線段差の高さに等しいので、次工程である酸化膜除去工程（例えばウェットエッチング工程）で、レジスト横方向への薬液の染み込みが数μm程度発生すると推測されるからである。そのため、周辺領域へのレジストパターンを5μm程度オーバラップして形成する必要がある。

【0036】その後、図1(c)に示すように、例えばウェットエッチング法により、周辺領域106で露出する酸化膜110を所定量除去する。即ち、酸化膜110の除去後の段差が基準面（有効素子領域の略平坦面）と略同一となるようにエッチング時間を制御しておこな

う。但し、精密な膜厚制御をおこなう必要はなく、配線108が露出しない程度に制御すれば足りる。したがって、酸化膜除去工程では高い制御性を必要せずパターン寸法的にも十分余裕があるので、ウェットエッチング法によれば、安価な方法として段差を除去することができる。

【0037】このように、周辺領域106の酸化膜110を完全に除去しないように周辺段差を除去して研磨が終了するので、CMP法による研磨工程において周辺領域106の配線パターン密度が略0%として振る舞う。

【0038】最後に、図1(d)に示すように、レジストパターン112を除去した後、CMP法により酸化膜110の研磨を行う。このとき、下地段差は段差基準面に対して略同一であるので、研磨パッドの押圧力の偏在が小さくなる。したがって、局所的に研磨速度差が発生することなく、有効素子領域で研磨速度が遅延することが防止される。このように、有効素子領域での研磨速度は、充分平衡状態にあるので、有効素子領域の残膜厚に与える影響は小さい。したがって、段差が除去された周辺領域は、有効素子領域の配線パターンに影響を与えないで、有効素子領域内で良好な研磨特性を得ることができる。

【0039】本実施形態においては、下地配線パターン密度は略100%であるが、周辺領域の段差を除去しているので、CMP工程においては配線パターン密度0%として振る舞う。また、従来のダミー素子のように実際の配線パターンを加工するものではないので、マーキング領域の視認性を悪化させることもない。CMP研磨の前に、有効素子領域外のパターン未形成領域の段差を解消しているので、従来よりも生産性が向上する。また、全ての層に共通のマスクで対応できるので、マスク数の増加を抑えることができる。マスク設計ルール及び合わせ技術に関しても、数μm程度の精度で十分であるのでマスク製作、運用面でのコスト増加は少なくてすむ。

【0040】(第2の実施の形態) 本実施形態においては、第1の実施の形態と比較して、周辺領域の研磨特性を有効素子領域の研磨特性と近似させるために、周辺領域に所定の配線パターンを形成する。

【0041】まず、図2を参照しながら、第2の実施の形態にかかる半導体装置の製造方法について説明する。なお、図2は、第2の実施の形態にかかる半導体装置の製造方法を説明するための断面工程図である。なお、本実施形態においては、IMD/PMD-CMP工程を示している。

【0042】まず、図2(a)に示すように、有効素子領域202内に配線208が形成されている半導体基板200上に例えば酸化膜からなる絶縁膜210を成膜する。このとき、周辺領域206にはダミー素子が配置されていない。この周辺領域206には、酸化膜210の最大段差が広範囲に渡って形成されている。

【0043】本実施形態かかる半導体装置の基本的な配線段差構造は、従来と同様である。また、周辺領域206にダミー素子を配置しないので、周辺領域206の配線パターン密度は略100%であり、配線高さと同程度の酸化膜210の段差が発生している。

【0044】次いで、図2(b)に示すように、一括露光により、有効素子領域内202及びG/L領域204をマスキングするためのレジストパターン212を酸化膜210上に堆積する。このとき、例えば5μmの周囲領域206にもレジストパターン212を形成するのが好ましい。これは、酸化膜の除去量としては配線段差の高さに等しいので、次工程である酸化膜除去工程(例えばウェットエッチング工程)で、レジスト横方向への薬液の染み込みが数μm程度発生すると推測されるからである。そのため、周辺領域へのレジストパターンを5μm程度オーバラップして形成する必要がある。さらに、本実施形態においては、周辺領域の開口比率を制御するドット系あるいはライン系のレジストパターン212を周辺領域206に形成する。

【0045】その後、図2(c)に示すように、例えばウェットエッチング法により、周辺領域206で所定パターンで露出する酸化膜210を所定量除去する。即ち、酸化膜210の除去後の段差が基準面(有効素子領域の略平坦面)と略同一となるようにエッチング時間を制御しておこなう。このとき、例えば基準面に対して±15~20%の段差とするため、第1の実施の形態よりも若干精密な膜厚制御が必要であるが、特に高い制御性は必要としない。また、パターン寸法的にも十分余裕があるので、ウェットエッチング法によれば、安価な方法として段差を除去することができる。

【0046】このように、周辺領域206の酸化膜210を完全に除去しないように周辺段差を除去して研磨が終了するので、CMP法による研磨工程において周辺領域206の配線パターン密度が略0%として振る舞う。

【0047】最後に、図2(d)に示すように、レジストパターン212を除去した後、CMP法により酸化膜210の研磨を行う。このとき、下地段差は段差基準面に対して略同一であるので、研磨パッドの押圧力の偏在が小さくなる。したがって、局所的な研磨速度差が発生することなく、研磨速度が遅延することが防止される。このように、有効素子領域での研磨速度は、充分平衡状態にあるので、有効素子領域の残膜厚に与える影響は小さい。したがって、段差が除去された周辺領域は、有効素子領域の配線パターンに影響を与えないで、有効素子領域内で良好な研磨特性を得ることができる。

【0048】本実施形態においては、周辺領域の絶縁膜を有効素子領域の配線パターン密度と同程度となるようにパターン化しているので、周辺領域の研磨特性を有効素子領域内の研磨特性と略同一となる。このように、周辺領域の下地配線パターン密度は略100%であるが、絶

縁膜を所定パターン化しているので、配線パターン密度0%として振る舞う。また、従来のダミー素子のように実際の配線パターンを加工するものではないので、マーキング領域の視認性を悪化させることもない。また、CMP研磨の前に、周辺領域の配線パターン未形成領域の段差を解消しているので、従来よりも生産性が向上する。また、全ての層に共通のマスクで対応できるので、マスク数の増加を抑えることができる。マスク設計ルール及び合わせ技術に関しても、数 μm 程度の精度で十分であるのでマスク製作、運用面でのコスト増加は少なくですむ。

【0049】(第3の実施の形態)まず、図3を参照しながら、第3の実施の形態にかかる半導体装置の製造方法について説明する。なお、図3は、第3の実施の形態にかかる半導体装置の製造方法を説明するための断面工程図である。なお、本実施形態においては、STI-CMP工程を示している。なお、かかるSTI-CMP工程において、塗化膜(アクティブ)上に酸化膜が残存した場合にはトランジスタ素子の動作不良が発生するため、周辺領域の段差を緩和することは重要である。

【0050】まず、図3(a)に示すように、有効素子領域302内に素子分離構造(トレンチ構造)が形成されている半導体基板300上に例えば酸化膜からなる絶縁膜310を成膜する。このとき、周辺領域306にはダミー素子が配置されていない。この周辺領域306には、酸化膜310の最大段差が広範囲に渡って形成されている。

【0051】本実施形態かかる半導体装置の基本的なSTI段差構造は、従来と同様である。また、周辺領域306にダミー素子を配置しないので、周辺領域306の配線パターン密度は略100%となり、トレンチ深さと同程度の酸化膜310の段差が発生している。

【0052】次いで、図3(b)に示すように、一括露光により、有効素子領域内306及びG/L領域304をマスキングするためのレジストパターン312を酸化膜310上に堆積する。このとき、例えば5 μm の周囲領域306にもレジストパターン312を形成するのが好ましい。これは、次工程である酸化膜除去工程(例えばウェットエッティング工程)で、レジスト横方向への薬液の染み込みが数 μm 程度発生すると推測されるからである。そのため、周辺領域へのレジストパターンを5 μm 程度オーバラップして形成する必要がある。

【0053】その後、図3(c)に示すように、例えばウェットエッティング法により、周辺領域306で露出する酸化膜310を除去する。かかるSTI-CMP工程においては、酸化膜の研磨量が少ないため、周辺領域の酸化膜は残存した状態で研磨が終了すると、残存する酸化膜がマスクとなり塗化膜の除去が困難となるので、周辺領域の酸化膜をレジストマスクで予め全面除去する。

このとき、ウェットエッティング法によれば、下地の塗化

膜308とのエッチング選択比が得られやすく塗化膜308がストップ膜となるため、酸化膜310の除去後の段差を考慮してエッチング時間を制御する必要はない。したがって、酸化膜除去工程では高い制御性を必要せずパターン寸法的にも十分余裕があるので、ウェットエッティング法によれば、安価な方法として段差を除去することができる。

【0054】最後に、図3(d)に示すように、レジストパターン312を除去した後、CMP法により酸化膜310の研磨を行う。このとき、CMP研磨前には、パターン未形成領域である周辺領域の段差が解消されているので、研磨パッドの押圧力の偏在が小さくなり、有効素子領域で研磨速度が遅延することが防止される。この結果、有効素子領域で酸化膜が残存することがないので、半導体素子を正常に動作させることができる。

【0055】なお、周辺領域では、CMP研磨の前から塗化膜308が露出しているので、使用するスラリ(例えばKOHスラリなどの酸化膜310/塗化膜308の研磨選択比が小さいスラリ)によっては、露出する塗化膜308も研磨されて下地の半導体基板(例えばSi基板)300が露出することも考えられるが、有効素子領域には殆ど影響を与えることはない。

【0056】本実施形態においては、従来のダミー素子のように実際の配線パターンを加工するものではないため、マーキング領域の視認性を悪化させることもない。CMP研磨の前に、有効素子領域外の配線パターン未形成領域の段差を解消しているので、従来よりも生産性が向上する。また、全ての層に共通のマスクで対応できるので、マスク数の増加を抑えることができる。マスク設計ルール及び合わせ技術に関しても、数 μm 程度の精度で十分であるのでマスク製作、運用面でのコスト増加は少なくてすむ。

【0057】(第4の実施の形態)本実施形態においては、第3の実施の形態と比較して、周辺領域の研磨特性を有効素子領域の研磨特性と近似させるために、周辺領域に所定の配線パターンを形成する。

【0058】まず、図4を参照しながら、第4の実施の形態にかかる半導体装置の製造方法について説明する。なお、図4は、第4の実施の形態にかかる半導体装置の製造方法を説明するための断面工程図である。なお、本実施形態においては、STI-CMP工程を示している。

【0059】まず、図4(a)に示すように、有効素子領域402内に素子分離構造(トレンチ構造)が形成されている半導体基板400上に例えば酸化膜からなる絶縁膜410を成膜する。このとき、周辺領域406にはダミー素子が配置されていない。この周辺領域406には、酸化膜410の最大段差が広範囲に渡って形成されている。

【0060】本実施形態かかる半導体装置の基本的なS

T I 段差構造は、従来と同様である。また、周辺領域4 0 6にダミー素子を配置しないので、周辺領域4 0 6の配線パターン密度は約100%となり、トレンチ深さと同程度の酸化膜4 1 0の段差が発生している。

【0061】次いで、図4 (b) に示すように、一括露光により、有効素子領域内4 0 6及びG/L領域4 0 4をマスキングするためのマスキングするレジストパターン4 1 2を酸化膜4 1 0上に堆積する。このとき、例えば5 μmの周囲領域4 0 6にもレジストパターン4 1 2を形成するのが好ましい。これは、次工程である酸化膜除去工程（例えばウェットエッティング工程）で、レジスト横方向への薬液の染み込みが数μm程度発生すると推測されるからである。そのため、周辺領域へのレジストパターンを5 μm程度オーバラップして形成する必要がある。さらに、本実施形態においては、周辺領域の開口比率を制御するドット系あるいはライン系のレジストパターン4 1 2を周辺領域4 0 6に形成する。

【0062】その後、図4 (c) に示すように、例えばウェットエッティング法により、周辺領域4 0 6で所定パターンで露出する酸化膜4 1 0を除去する。かかるSTI-CMP工程においては、酸化膜の研磨量が少ないため、周辺領域の酸化膜は残存した状態で研磨が終了すると、残存する酸化膜がマスクとなり塗化膜の除去が困難となるので、周辺領域で露出する所定パターンの酸化膜をレジストマスクで予め除去する。このとき、ウェットエッティング法によれば、下地の塗化膜4 0 8とのエッティング選択比が得られやすく塗化膜4 0 8がストップ膜となるため、酸化膜4 1 0の除去後の段差を考慮してエッティング時間を制御する必要はない。但し、横方向の染み込みによるレジストパターン浮きには多少の注意を要する。したがって、酸化膜除去工程では高い制御性を必要せずパターン寸法的にも十分余裕があるので、ウェットエッティング法によれば、安価な方法として段差を除去することができる。

【0063】最後に、図4 (d) に示すように、レジストパターン4 1 2を除去した後、CMP法により酸化膜4 1 0の研磨を行う。このとき、CMP研磨前には、パターン未形成領域である周辺領域の段差が解消されているので、研磨パッドの押圧力の偏在が小さくなり、有効素子領域で研磨速度が遅延することが防止される。この結果、有効素子領域で酸化膜が残存することがないで、半導体素子を正常に動作させることができる。

【0064】なお、このとき、周辺領域の段差は制御されているので、過剰な研磨が抑制され、下地の半導体基板(Si基板)が露出することはない。

【0065】本実施形態においては、また、従来のダミー素子のように実際の配線パターンを加工するものではない、マーキング領域の視認性を悪化させることもない。CMP研磨の前に、有効素子領域外の配線パターン

未形成領域の段差を解消しているので、従来よりも生産性が向上する。また、周辺領域の酸化膜には所定パターンが形成されているので、第3の実施の形態のように周辺領域の下地のSi基板が露出することは殆ど考慮する必要はない。また、全ての層に共通のマスクで対応できるので、マスク数の増加を抑えることができる。マスク設計ルール及び合わせ技術に関しても、数μm程度の精度で十分であるのでマスク製作、運用面でのコスト増加は少なくてすむ。

10 【0066】以上、本発明に係る好適な実施の形態について説明したが、本発明はかかる構成に限定されない。当業者であれば、特許請求の範囲に記載された技術思想の範囲内において、各種の修正例及び変更例を想定し得るものであり、それらの修正例及び変更例についても本発明の技術範囲に包含されるものと了解される。

【0067】例えば、本実施形態においては、ウェットエッティング法により酸化膜を除去する構成を例に挙げて説明したが、他のエッティング法を採用することもできる。

20 【0068】

【発明の効果】 CMP工程において、研磨パッドの押圧力の偏在が小さくなるので、研磨速度の差が緩和され、有効素子領域の絶縁膜の残膜厚への影響が回避される。

【図面の簡単な説明】

【図1】第1の実施の形態にかかる半導体装置の製造方法を示す断面工程図である。

【図2】第2の実施の形態にかかる半導体装置の製造方法を示す断面工程図である。

30 【図3】第3の実施の形態にかかる半導体装置の製造方法を示す断面工程図である。

【図4】第4の実施の形態にかかる半導体装置の製造方法を示す断面工程図である。

【図5】従来における半導体装置を示す断面工程図である。

【図6】従来における半導体装置を示す断面工程図である。

【図7】従来における半導体装置の製造方法を示す断面工程図である。

40 【図8】従来における半導体装置の製造方法を示す断面工程図である。

【符号の説明】

100 半導体基板

102 有効チップ領域

104 グリッドライン(G/L)領域

106 周辺領域

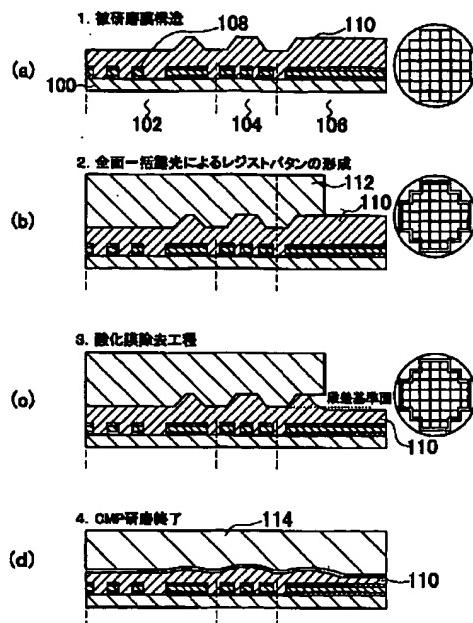
108 配線

110 酸化膜

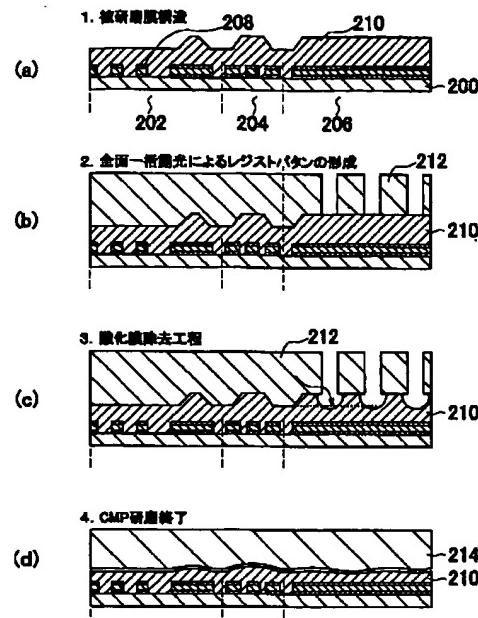
112 レジスト

114 研磨パッド

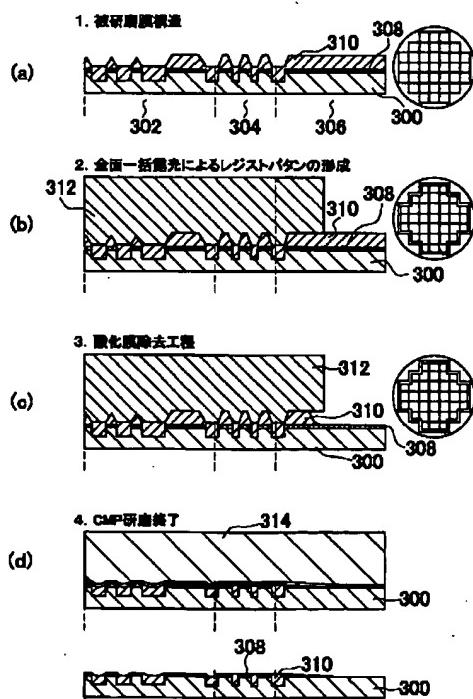
【図1】



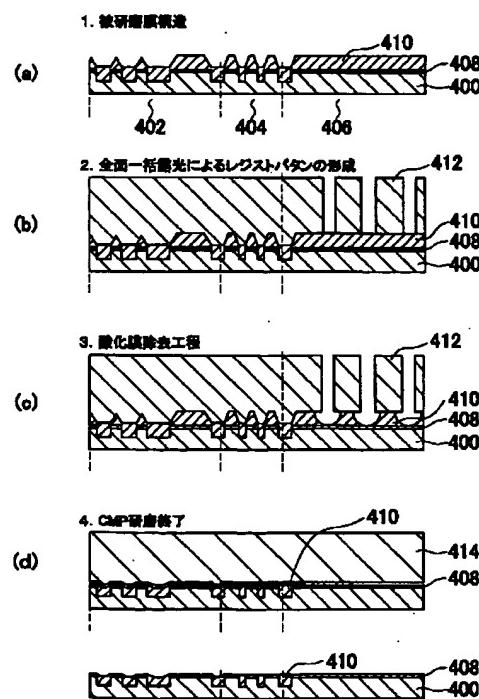
【図2】



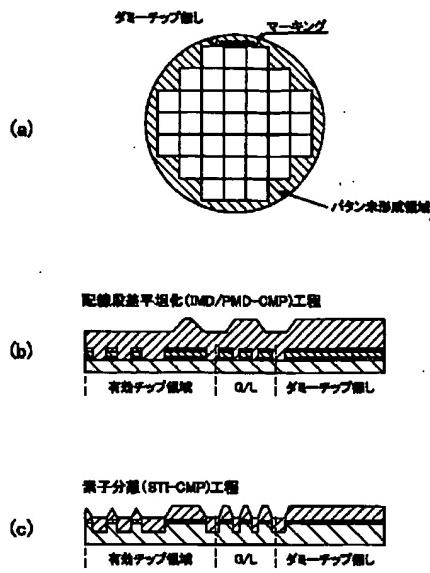
【図3】



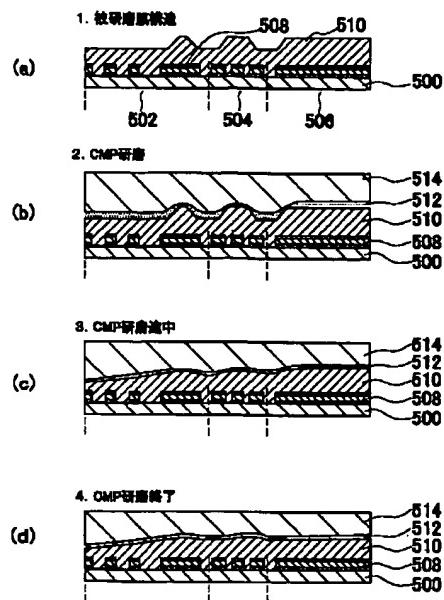
【図4】



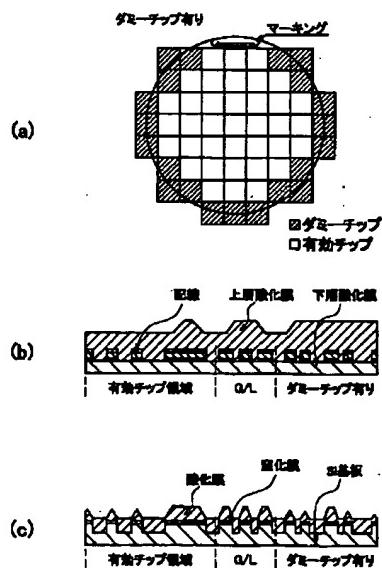
【図5】



【図6】



【図7】



【図8】

